

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003296389 A**

(43) Date of publication of application: **17.10.03**

(51) Int. Cl

G06F 17/50
H01L 21/82

(21) Application number: **2002102329**

(22) Date of filing: **04.04.02**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **NAKA JUNICHI**
OKAMOTO YOICHI
OKA KOJI

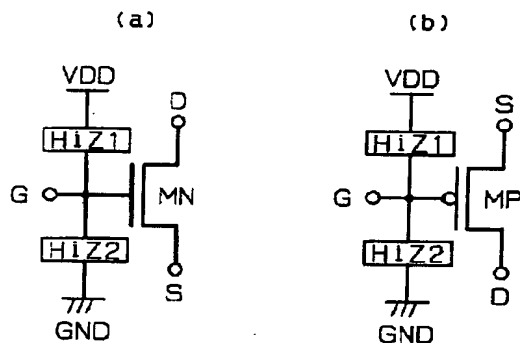
(54) **NET LIST CONVERTER**

(57) Abstract:

PROBLEM TO BE SOLVED: To detect a leak current even when a gate electrode of a transistor, an input terminal of a logical gate circuit, an open/close control terminal of a switching circuit, etc., are at open states or high impedance states.

SOLUTION: Detection of the leak current is enabled by adding high impedance loads to the gate electrode of the transistor, the input terminal of the logical gate circuit and the open/close control terminal of the switching circuit and fixing the potential of each of the electrodes/terminals to potential between a power supply voltage and a ground voltage.

COPYRIGHT: (C)2004,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-296389
(P2003-296389A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl.⁷

G 0 6 F 17/50
H 0 1 L 21/82

識別記号

6 6 2

F I

G 0 6 F 17/50
H 0 1 L 21/82

テームコード (参考)

6 6 2 G 5 B 0 4 6
C 5 F 0 6 4

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願2002-102329 (P2002-102329)

(22) 出願日 平成14年4月4日 (2002. 4. 4)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 中 順一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岡本 陽一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

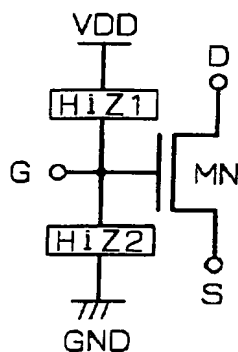
(54) 【発明の名称】 ネットリスト変換装置

(57) 【要約】

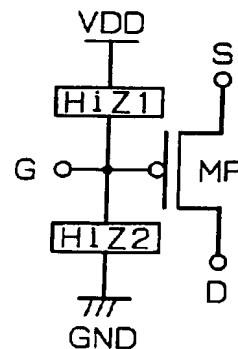
【課題】 開放状態もしくはハイインピーダンス状態となっているトランジスタのゲート電極・論理ゲート回路の入力端子・スイッチ回路の開閉制御端子等によるリーク電流が困難である。

【解決手段】 トランジスタのゲート電極・論理ゲート回路の入力端子・スイッチ回路の開閉制御端子にハイインピーダンス負荷を付加し、それぞれの電極・端子の電位を電源電圧からグランド電圧の間の電位に固定することにより、リーク電流の検出を可能にする。

(a)



(b)



【特許請求の範囲】

【請求項 1】 トランジスタのゲート電極に、ハイインピーダンス負荷と、電源電圧とグランド電圧との間の電圧を発生させる電圧源とを接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 2】 Nch 型トランジスタのゲート電極と電源電圧との間に、ハイインピーダンス負荷を接続し、Pch 型トランジスタのゲート電極とグランド電圧との間に、ハイインピーダンス負荷を接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 3】 Nch 型トランジスタのゲート電極と電源電圧との間に、ハイインピーダンス負荷と正電極側を前記電源電圧側、負電極側を前記 Nch 型トランジスタの前記ゲート電極側となるように、前記電源電圧とグランド電圧との間の電圧を発生させる電圧源とを接続し、Pch 型トランジスタのゲート電極と前記グランド電圧との間に、ハイインピーダンス負荷と正電極側を前記 Pch 型トランジスタの前記ゲート電極側、負電極側を前記グランド電圧側となるように、前記電源電圧と前記グランド電圧との間の電圧を発生させる電圧源とを接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 4】 Nch 型トランジスタのゲート電極とグランド電圧との間に、ハイインピーダンス負荷と、正電極側を前記 Nch 型トランジスタの前記ゲート電極側、負電極側を前記グランド電圧側となるように、電源電圧と前記グランド電圧との間の電圧を発生させる電圧源とを接続し、Pch 型トランジスタのゲート電極と前記グランド電圧との間に、ハイインピーダンス負荷と、正電極側を前記電源電圧側、負電極側を前記 Pch 型トランジスタの前記ゲート電極側となるように、電源電圧とグランド電圧との間の電圧を発生させる電圧源とを接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 5】 Nch 型トランジスタのゲート電極と電源電圧との間に、ハイインピーダンス負荷を接続し、前記 Nch 型トランジスタの前記ゲート電極とグランド電圧との間に、ハイインピーダンス負荷を接続し、Pch 型トランジスタのゲート電極と前記電源電圧との間に、ハイインピーダンス負荷を接続し、前記 Pch 型トランジスタの前記ゲート電極と前記グランド電圧との間に、ハイインピーダンス負荷を接続し、直流信号特性シミュレーションを行いリーク電流を検出することを目的としたネットリスト変換装置。

【請求項 6】 Nch 型トランジスタのゲート電極と電源電圧との間に、ハイインピーダンス負荷と、正電極側を前記電源電圧側、負電極側を前記 Nch 型トランジスタの前記ゲート電極側となるように、前記電源電圧とグ

ランド電圧との間の電圧を発生させる電圧源とを接続し、前記 Nch 型トランジスタの前記ゲート電極と前記グランド電圧との間に、ハイインピーダンス負荷と、正電極側を前記 Nch 型トランジスタの前記ゲート電極側、負電極側を前記グランド電圧側となるように、前記電源電圧と前記グランド電圧との間の電圧を発生させる電圧源とを接続し、Pch 型トランジスタのゲート電極と前記電源電圧との間に、ハイインピーダンス負荷と、正電極側を前記電源電圧側、負電極側を前記 Pch 型トランジスタの前記ゲート電極側となるように、前記電源電圧と前記グランド電圧との間の電圧を発生させる電圧源とを接続し、前記 Pch 型トランジスタの前記ゲート電極と前記グランド電圧との間に、ハイインピーダンス負荷と、正電極側を前記 Pch 型トランジスタの前記ゲート電極側、負電極側を前記グランド電圧側となるように、前記電源電圧と前記グランド電圧との間の電圧を発生させる電圧源とを接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 7】 論理ゲート回路のそれぞれの入力端子と電源電圧との間に、ハイインピーダンス負荷を接続し、前記論理ゲート回路の前記それぞれの入力端子とグランド電圧との間に、ハイインピーダンス負荷を接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 8】 トランジスタで構成されたスイッチ回路のそれぞれのスイッチ開閉制御端子と電源電圧との間に、ハイインピーダンス負荷を接続し、前記トランジスタで構成されたスイッチ回路の前記それぞれのスイッチ開閉制御端子とグランド電圧との間に、ハイインピーダンス負荷を接続し、直流信号特性シミュレーションを行い、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 9】 請求項 1 から請求項 8 記載のネットリスト変換装置のハイインピーダンス負荷を抵抗性負荷とし、リーク電流を検出することを目的としたネットリスト変換装置。

【請求項 10】 請求項 1 から請求項 8 記載のネットリスト変換装置のハイインピーダンス負荷を容量性負荷としたリーク電流を検出することを目的としたネットリスト変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は回路が静止状態の時、リーク電流を検出することを目的としたネットリスト変換装置に関するものである。

【0002】

【従来の技術】 近年の半導体プロセス技術の向上に伴い、LSI の大規模化・高集積化が進んでいる。一方、LSI の大規模化・高集積化に伴いリーク電流の増大が

懸念される。

【0003】リーク電流の主な発生原因は、1) 論理ゲート回路入力端子・トランジスタのゲート電極の開放状態、2) ハイインピーダンス状態となっている接点へ論理ゲート回路入力端子・トランジスタのゲート電極が接続された状態などにより、論理ゲート回路入力端子・トランジスタのゲート電極と電源電圧－グランド電圧の間電位とが浮遊容量・寄生抵抗等によって電氣的に結合され、トランジスタに貫通電流が流れることが挙げられる。

【0004】近年では半導体集積回路の設計においてElectronic Design Automation (EDA) の発達が目覚しく、シミュレーション速度の高速化、設計自動処理化が進んでいる。これにより、高速シミュレーションによるリーク電流検出、ネットリスト内におけるゲート電極が開放状態となっているトランジスタの検索が可能となり、リーク電流の発生防止に貢献している。

【0005】シミュレーションによるリーク電流の検出方法の例を示す。まず、図12(a)に示す回路を第1

【0006】図12(a)に示す回路は電源電圧：VDD、抵抗性負荷：R、Nch型トランジスタ：MN、グランド電圧：GNDからなる。図12(a)に示す回路はVDDとRの一端とが接続され、Rの残りの一端とMNのドレイン電極とが接続され、MNのソース電極とGNDが接続され、MNのゲート電極が本回路の入力端子：INとなっている。なお、 I_{ds} はMNのドレイン電極－ソース電極間に流れる電流である。

【0007】図12(b)はNch型トランジスタMNのゲート電極－ソース電極間電圧： V_{gs} に対するドレイン電極－ソース電極間電流： I_{ds} の特性を示している。ドレイン電極－ソース電極間電流： I_{ds} は、ゲート電極－ソース電極間電圧： V_{gs} がMNの閾値： V_{th} を超えると流れ始めることを示している。

【0008】シミュレーションによるリーク電流の検出方法は下記1)～3)である。

【0009】1) まず、本回路に対して静止時の特性を与える。例として、電源電圧： $V_{DD}=5V$ 、グランド電圧： $GND=0V$ 、入力端子電圧： $IN=0V$ とする。

【0010】2) 本回路に対して直流信号特性シミュレーションを行う。

【0011】3) MNのドレイン電極－ソース電極間の電流つまり、 I_{ds} をモニタする。

【0012】前記に示す静止時の特性の場合、入力端子電圧： IN 、即ちMNの V_{gs} が $0V$ であり、MNの閾値電圧を V_{th} とすると、 $[V_{gs} < V_{th}]$ であるためMNはOFF状態となり、 I_{ds} はほぼ $0A$ となる(図12(b)参照)。

【0013】ここで、何らかの原因により、回路静止時に入力端子電圧： IN 、即ちMNの V_{gs} に対し、MNの閾値電圧： V_{th} を超える電圧が加えられたとすると、 $[V_{gs} > V_{th}]$ であるためMNはON状態となり、 $V_{DD}-R-MN-GND$ 間に電流が流れる(図12(b)参照)。つまり I_{ds} をモニタすることによりリーク電流を検出することが出来る。

【0014】なお、本例ではNch型トランジスタの場合を例に挙げたが、Pch型トランジスタにおいても極性が逆になることを考慮すると、同様にしてリーク電流を検出することが出来る。また、さらに複雑な回路に対しても同様の方法でリーク電流を検出することが出来る。

【0015】次に、図13(a)に示す回路を第2の例として挙げる。図13(a)に示す回路はインバータ回路1であり、代表的な実回路は図13(b)に示される様に、電源電圧： V_{DD} 、Pch型トランジスタ： MP 、Nch型トランジスタ： MN 、グランド電圧： GND からなる。

【0016】図13(b)に示す回路は V_{DD} と MP のソース電極とが接続され、 MP のドレイン電極と MN のドレイン電極とが接続され、 MN のソース電極と GND とが接続されており、 MP のゲート電極と MN のゲート電極とが接続され入力端子： IN となり、 MP のドレイン電極即ち MN のドレイン電極が出力端子： OUT となっている。なお、 I はインバータ回路1に流れる貫通電流、 I_{dsn} は MN のドレイン電極－ソース電極間に流れる電流、 I_{dsp} は MP のドレイン電極－ソース電極間に流れる電流である。

【0017】図13(c)はインバータ回路1の入力端子電圧： IN に対する、インバータ回路1の出力端子電圧： OUT およびインバータ回路1の貫通電流： I の特性を示している。インバータ回路1の出力端子電圧： OUT は、インバータ回路1の入力端子電圧： IN が 0 から $V_{DD}/2$ の間は V_{DD} を、また、インバータ回路1の入力端子電圧： IN が $V_{DD}/2$ から V_{DD} の間は 0 を出力することを示している。一方、インバータ回路1の貫通電流： I はインバータ回路1の入力端子電圧： IN が $V_{DD}/2$ 付近で最大となり、 0 もしくは V_{DD} 付近ではほぼ 0 になることを示している。

【0018】シミュレーションによるリーク電流の検出方法は下記1)～3)である。

【0019】1) まず、本回路に対して静止時の特性を与える。例として、電源電圧： $V_{DD}=5V$ 、グランド電圧： $GND=0V$ 、入力端子電圧： $IN=GND(Low)$ とする。

【0020】2) 本回路に対して直流信号特性シミュレーションを行う。

【0021】3) インバータ貫通電流： I 、あるいは MN のドレイン電極－ソース電極間電流： I_{dsn} 、ある

いはMPのドレイン電極—ソース電極間電流： I_{dsp} をモニタする。

【0022】前記に示す静止時の特性の場合、入力端子電圧： I_N がGND (Low) であり、 I はほぼ0となる。同様に、入力端子電圧： I_N がVDD (High) であるときも I はほぼ0となる(図13(c)参照)。

【0023】ここで、何らかの原因により、回路静止時に入力端子電圧： I_N に対し、VDD—GND間の中間電圧が加えられたとすると、インバータ回路1に貫通電流： I が流れる(図13(c)参照)。つまりインバータ回路1の貫通電流： I をモニタすることによりリーク電流を検出することが出来る。また、 $[I = I_{dsn} - I_{dsp}]$ であるため、 I_{dsn} もしくは I_{dsp} をモニタすることによりリーク電流を検出することが出来る。

【0024】なお、本例ではインバータ回路の場合を例に挙げたが、NAND回路、NOR回路、あるいはフリップフロップ回路等においても、同様にしてリーク電流を検出することが出来る。

【0025】次に、図14(a)に示す回路を第3の例として挙げる。図14(a)に示す回路はスイッチ回路2であり、代表的な実回路は図14(b)中スイッチ回路2に示される様に、Pch型トランジスタ：MP、Nch型トランジスタ：MNからなる。なお、図14

(b)は例としてスイッチ回路2、電源電圧：VDD、抵抗性負荷：R、グランド電圧：GNDからなる回路を示している。

【0026】図14(b)に示す回路はVDDとRの一端とが接続され、Rの残りの一端とMNおよびMPのドレイン電極とが接続されスイッチの入出力端子：Aとなり、MNおよびMPのソース電極とが接続されスイッチの入出力端子：Bとなり、BとGNDとが接続されており、MNとMPとによってCMOSタイプのスイッチ回路2を構成しており、MNのゲート電極がスイッチ開閉制御端子：S、MPのゲート電極がスイッチ開閉制御端子：となっている。なお、 I はRに流れる貫通電流、 I_{dsn} はMNのドレイン電極—ソース電極間に流れる電流、 I_{dsp} はMPのドレイン電極—ソース電極間に流れる電流である。なお、通常、Sおよびはそれぞれ逆相信号が入力される。

【0027】シミュレーションによるリーク電流の検出方法は下記1)～3)である。

【0028】1) まず、本回路に対して静止時の特性を与える。例として、電源電圧：VDD=5V、グランド電圧：GND=0V、スイッチ開閉制御端子：S=GND (Low)、スイッチ開閉制御端子：=VDD (High)、とする。

【0029】2) 本回路に対して直流信号特性シミュレーションを行う。

【0030】3) VDD—GND間に流れる電流 I 、あ

るいはMNもしくはMPのドレイン電極—ソース電極間電流つまり I_{dsn} もしくは I_{dsp} をモニタする。

【0031】前記に示す静止時の特性の場合、スイッチ回路2はOFF状態となるため、 I はほぼ0となる。ここで、何らかの原因により、スイッチ開閉制御端子：Sに対しVDD (High) もしくは、スイッチ開閉制御端子：に対しGND (Low) もしくは、スイッチ開閉制御端子：Sあるいはスイッチ開閉制御端子：に対しVDD—GND間の中間電圧が加えられたとすると、スイッチがON状態となり貫通電流： I が流れる。つまり I をモニタすることによりリーク電流を検出することが出来る。また $[I = I_{dsn} + I_{dsp}]$ であるため、 I_{dsn} および I_{dsp} をモニタすることによりリーク電流を検出することが出来る。

【0032】なお、本例ではCMOSスイッチ回路の場合を例に挙げたが、Nch型トランジスタのみのスイッチ回路、あるいはPch型トランジスタのみのスイッチ回路等においても、同様にしてリーク電流を検出することが出来る。

【0033】次にネットリスト内を検索することにより、ゲート電極が開放状態となっておりリーク電流が発生する疑いのあるトランジスタを検出する方法の例を示す。

【0034】まず、図12(a)に示す回路を第1の例として挙げる。図12(a)に示す回路構成は前述の通りである。ここで、図12(a)のMNの入力端子： I_N が開放状態であるとする。

【0035】ネットリスト内を検索することにより、ゲート電極が開放状態となっておりリーク電流が発生する疑いのあるトランジスタを検出する方法は下記1)～3)である。

【0036】1) ネットリスト内つまり回路内に含まれるトランジスタを検索する。

【0037】2) 前記検出されたトランジスタのゲート電極のネット名を抽出する。

【0038】3) 前記抽出されたネット名が前記検出されたトランジスタのゲート電極以外に接続されていない場合、トランジスタのゲート電極が開放状態となっており、該トランジスタはリーク電流が発生する疑いのあるトランジスタである。

【0039】なお、本例ではNch型トランジスタの場合を例に挙げたが、Pch型トランジスタにおいても、同様にしてリーク電流が発生する疑いのあるトランジスタを検出することが出来る。また、さらに複雑な回路に対しても同様の方法でリーク電流が発生する疑いのあるトランジスタを検出することが出来る。

【0040】次に、図13(a)に示す回路を第2の例として挙げる。図13(a)に示す回路はインバータ回路1であり、回路構成は前述の通りである。ここで、図13(a)のインバータ回路1の入力端子： I_N が開放

状態であるとする。

【0041】ネットリスト内を検索することにより、インバータ回路1の入力端子が開放状態となっておりリーク電流が発生する疑いのあるインバータ回路を検出する方法は下記1)～3)である。

【0042】1) ネットリスト内に含まれるインバータ回路を検索する。

【0043】2) 前記検出されたインバータ回路の入力端子のネット名を抽出する。

【0044】3) 前記抽出されたネット名が、前記検出されたインバータ回路の入力端子以外に接続されていない場合、インバータ回路の入力端子が開放状態となっており、該インバータ回路はリーク電流が発生する疑いのあるインバータ回路である。

【0045】なお、本例ではインバータ回路の場合を例に挙げたが、NAND回路、NOR回路、あるいはフリップフロップ回路等においても、同様にしてリーク電流が発生する疑いのある論理ゲート回路を検出することが出来る。

【0046】次に、図14(a)に示す回路を第3の例として挙げる。図14(a)に示す回路はスイッチ回路2あり、回路構成は前述の通りである。ここで、図14(a)のスイッチ回路2の開閉制御端子が開放状態であるとする。

【0047】ネットリスト内を検索することにより、スイッチ回路の開閉制御端子が開放状態となっておりリーク電流が発生する疑いのあるスイッチを検出する方法は下記1)～3)である。

【0048】1) ネットリスト内に含まれるスイッチ回路を検索する。

【0049】2) 前記検索されたスイッチ回路の開閉制御端子のネット名を抽出する。

【0050】3) 前記抽出されたネット名が、前記検索されたスイッチ回路の開閉制御端子以外に接続されていない場合、スイッチ回路の開閉制御端子が開放状態となっており、該スイッチ回路はリーク電流が発生する疑いのあるスイッチ回路である。

【0051】なお、本例ではCMOSスイッチ回路の場合を例に挙げたが、Nch型トランジスタのみのスイッチ回路、あるいはPch型トランジスタのみのスイッチ回路等においても、同様にしてリーク電流が発生する疑いのあるスイッチ回路を検出することが出来る。

【0052】

【発明が解決しようとする課題】前記のシミュレーションによるリーク電流の検出は非常に有効であるが、これは、トランジスタのゲート電極・論理ゲート回路の入力端子・スイッチ回路の開閉制御端子が開放状態ではない場合のみに有効である。なぜならば、従来の多くのシミュレーションでは開放状態となっているトランジスタのゲート電極・論理ゲート回路の入力端子・スイッチ回路

の開閉制御端子等の電位を擬似的にグランド電圧に接続してシミュレーションするため、リーク電流を検出できない可能性が非常に高い。

【0053】また、図15に示す様に、スイッチ回路2の入出力端子：Bとインバータ回路1の入力端子：INとが接続されている回路において、回路静止時、スイッチ回路2のスイッチ開閉制御端子：SがGND(Low)、スイッチ回路2のスイッチ開閉制御端子：がVDD(High)となる時、スイッチ回路2はOFF状態となり、Bはハイインピーダンス状態となり、リーク電流が発生する原因となるが、従来の多くのシミュレーションでは、インバータ回路1の入力端子：INを擬似的にグランド電圧等に接続してシミュレーションするため、リーク電流を検出できない可能性が非常に高い。

【0054】一方、ネットリスト内において、開放状態となっているトランジスタのゲート電極・論理ゲート回路の入力端子・スイッチ回路の開閉制御端子の検索を行いリーク電流が発生する疑いのあるトランジスタを検出する方法においても、図14に示すようにスイッチ回路2の入出力端子：Bがインバータ回路1の入力端子：INに接続されているため、リーク電流が発生する疑いのあるトランジスタを検出することは困難である。

【0055】以上の様に、従来のシミュレーション方法および、ネットリスト検索方法ではリーク電流が発生する疑いのあるトランジスタを全て検出することは困難であるという問題があった。

【0056】

【課題を解決するための手段】そこで、本発明のネットリスト変換装置は、この問題を解決するために、トランジスタのゲート電極あるいは論理ゲート回路入力端子あるいはスイッチの開閉制御端子に対して、ハイインピーダンス負荷もしくは、ハイインピーダンス負荷および電圧源を付加する。これによって、トランジスタのゲート電極あるいは論理ゲート回路入力端子あるいはスイッチの開閉制御端子が開放状態、もしくは、これらの電極・端子がハイインピーダンス点へ接続されていた場合、これらの電極・端子の電位を電源－グランド間のある電圧に固定することになり、直流信号特性シミュレーションを行うことによって、トランジスタのゲート電極あるいは論理ゲート回路入力端子あるいはスイッチの開閉制御端子が開放状態、もしくは、これらの電極・端子がハイインピーダンス点へ接続されていたとしても、リーク電流を検索することを可能とする。

【0057】

【発明の実施の形態】(実施の形態1)図1は本発明の実施形態1に関するネットリスト変換装置によるネットリスト変換実施構成図である。

【0058】図1(a)は実施形態1に関するネットリスト変換装置に基づくNch型トランジスタ：MNに対するネットリスト変換実施構成図、図1(b)は実施形

態 1 に関するネットリスト変換装置に基づく Pch 型トランジスタ : MP に対するネットリスト変換実施構成図を示している。

【0059】本発明の実施形態 1 に関するネットリスト変換装置においては、Nch 型トランジスタ : MN に対して、MN のゲート電極 : G と電源電圧 : VDD との間にハイインピーダンス負荷 : HiZ を挿入する。また、Pch 型トランジスタ : MP に対して、MP のゲート電極 : G とグラウンド電圧 : GND との間にハイインピーダンス負荷 : HiZ を挿入する。以上が、本発明の実施形態 1 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0060】以上のようなネットリスト変換を実施することにより、トランジスタのゲート電極が開放状態、もしくは、ハイインピーダンス状態であった場合、Nch 型トランジスタのゲート電極は電源電圧電位に、Pch 型トランジスタのゲート電極はグラウンド電圧電位に固定される。この状態で直流信号特性シミュレーションを行うことにより、各トランジスタのドレイン電極—ソース電極間に電流が流れ、リーク電流を検出することが可能となる。

【0061】なお、前記ハイインピーダンス負荷 : HiZ は、それ自身に流れる電流を無視することが出来る程度の高抵抗負荷であっても同様の効果を得ることが可能である。なお、前記ハイインピーダンス負荷 : HiZ は、容量性負荷であっても同様の効果を得ることが可能である。

【0062】（実施の形態 2）図 2 は本発明の実施形態 2 に関するネットリスト変換装置によるネットリスト変換実施構成図である。図 2 (a) は実施形態 2 に関するネットリスト変換装置に基づく Nch 型トランジスタ : MN に対するネットリスト変換実施構成図、図 2 (b) は実施形態 2 に関するネットリスト変換装置に基づく Pch 型トランジスタ : MP に対するネットリスト変換実施構成図を示している。

【0063】本発明の実施形態 2 に関するネットリスト変換装置においては、Nch 型トランジスタ : MN に対して、MN のゲート電極 : G と電源電圧 : VDD との間にハイインピーダンス負荷 : HiZ および定電圧源 : Vb を挿入する。また、Pch 型トランジスタ : MP に対して、MP のゲート電極 : G とグラウンド電圧 : GND との間にハイインピーダンス負荷 : HiZ および定電圧源 : Vb を挿入する。

【0064】以上が、本発明の実施形態 2 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0065】以上のようなネットリスト変換を実施することにより、トランジスタのゲート電極が開放状態、もしくは、ハイインピーダンス状態であった場合、Nch 型トランジスタのゲート電極は電源電圧電位 : VDD から定電圧源 : Vb を引いた電位に、Pch 型トランジ

スタのゲート電極はグラウンド電圧電位 : GND に定電圧源 : Vb を加えた電位に固定される。この状態で直流信号特性シミュレーションを行うことにより、各トランジスタのゲート電極—ソース電極間電位 : Vgs が各トランジスタの閾値電圧 : Vth を超えた時、各トランジスタのドレイン電極—ソース電極間に電流が流れ、リーク電流を検出することが可能となる。

【0066】なお、前記定電圧源 : Vb の電位を 0 とすることで本発明の実施形態 1 と同様の効果を得られる。

なお、前記ハイインピーダンス負荷 : HiZ は、それ自身に流れる電流を無視することが出来る程度の高抵抗負荷であっても同様の効果を得ることが可能である。なお、前記ハイインピーダンス負荷 : HiZ は、容量性負荷であっても同様の効果を得ることが可能である。

【0067】なお、定電圧源 : Vb とハイインピーダンス負荷 : HiZ の接続順は図 2 に示す限りでなく、その接続順は逆でも同様の効果を得ることが可能である。

【0068】（実施の形態 3）図 3 は本発明の実施形態 3 に関するネットリスト変換装置によるネットリスト変換実施構成図である。図 3 (a) は実施形態 3 に関するネットリスト変換装置に基づく Nch 型トランジスタ : MN に対するネットリスト変換実施構成図、図 3 (b) は実施形態 3 に関するネットリスト変換装置に基づく Pch 型トランジスタ : MP に対するネットリスト変換実施構成図を示している。

【0069】本発明の実施形態 3 に関するネットリスト変換装置においては、Nch 型トランジスタ : MN に対して、MN のゲート電極 : G とグラウンド電圧 : GND との間にハイインピーダンス負荷 : HiZ および定電圧源 : Vb を挿入する。また、Pch 型トランジスタ : MP に対して、MP のゲート電極 : G と電源電圧 : VDD との間にハイインピーダンス負荷 : HiZ および定電圧源 : Vb を挿入する。

【0070】以上が、本発明の実施形態 3 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0071】以上のようなネットリスト変換を実施することにより、トランジスタのゲート電極が開放状態、もしくは、ハイインピーダンス状態であった場合、Nch 型トランジスタのゲート電極は定電圧源電位 : Vb に、Pch 型トランジスタのゲート電極は電源電圧電位 : VDD から定電圧源電位 : Vb を引いた電位に固定される。この状態で直流信号特性シミュレーションを行うことにより、各トランジスタのゲート電極—ソース電極間電位 : Vgs が各トランジスタの閾値電圧 : Vth を超えた時、各トランジスタのドレイン電極—ソース電極間に電流が流れ、リーク電流を検出することが可能となる。

【0072】なお、前記ハイインピーダンス負荷 : HiZ は、それ自身に流れる電流を無視することが出来る程度の高抵抗負荷であっても同様の効果を得ることが可能

である。なお、前記ハイインピーダンス負荷：H i Z は、容量性負荷であっても同様の効果を得ることが可能である。なお、定電圧源：V b とハイインピーダンス負荷：H i Z の接続順は図 3 に示す限りでなく、その接続順は逆でも同様の効果を得ることが可能である。

【0073】（実施の形態 4）図 4 は本発明の実施形態 4 に関するネットリスト変換装置によるネットリスト変換実施構成図である。図 4（a）は実施形態 4 に関するネットリスト変換装置に基づく N c h 型トランジスタ：MN に対するネットリスト変換実施構成図、図 4（b）は実施形態 4 に関するネットリスト変換装置に基づく P c h 型トランジスタ：MP に対するネットリスト変換実施構成図を示している。

【0074】本発明の実施形態 4 に関するネットリスト変換装置においては、N c h 型トランジスタ：MN に対して、MN のゲート電極：G と電源電圧：V D D との間にハイインピーダンス負荷：H i Z 1、ゲート電極：G とグランド電圧：G N D との間にハイインピーダンス負荷：H i Z 2 を挿入する。また、P c h 型トランジスタ：MP に対して、MP のゲート電極：G と電源電圧：V D D との間にハイインピーダンス負荷：H i Z 1、ゲート電極：G とグランド電圧：G N D との間にハイインピーダンス負荷：H i Z 2 を挿入する。以上が、本発明の実施形態 4 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0075】以上のようなネットリスト変換を実施することにより、トランジスタのゲート電極が開放状態、もしくは、ハイインピーダンス状態であった場合、N c h 型トランジスタのゲート電極の電位はハイインピーダンス負荷：H i Z 1 と H i Z 2 の分圧効果により、 $V D D \times H i Z 2 / (H i Z 1 + H i Z 2)$ に、同様に P c h 型トランジスタのゲート電極の電位はハイインピーダンス負荷：H i Z 1 と H i Z 2 の分圧効果により、 $V D D \times H i Z 2 / (H i Z 1 + H i Z 2)$ に固定される。この状態で直流信号特性シミュレーションを行うことにより、各トランジスタのゲート電極－ソース電極間電位：V g s が各トランジスタの閾値電圧：V t h を超えた時、各トランジスタのドレイン電極－ソース電極間に電流が流れ、リーク電流を検出することが可能となる。

【0076】なお、前記ハイインピーダンス負荷：H i Z 1、H i Z 2 は、それ自身に流れる電流を無視することが出来る程度の高抵抗負荷であっても同様の効果を得ることが可能である。なお、前記ハイインピーダンス負荷：H i Z 1、H i Z 2 は、容量性負荷であっても同様の効果を得ることが可能である。

【0077】（実施の形態 5）図 5 は本発明の実施形態 5 に関するネットリスト変換装置によるネットリスト変換実施構成図である。図 5（a）は実施形態 5 に関するネットリスト変換装置に基づく N c h 型トランジスタ：MN に対するネットリスト変換実施構成図、図 5（b）

は実施形態 5 に関するネットリスト変換装置に基づく P c h 型トランジスタ：MP に対するネットリスト変換実施構成図を示している。

【0078】本発明の実施形態 5 に関するネットリスト変換装置においては、N c h 型トランジスタ：MN に対して、MN のゲート電極：G と電源電圧：V D D との間にハイインピーダンス負荷：H i Z 1 および定電圧源：V b 1、ゲート電極：G とグランド電圧：G N D との間にハイインピーダンス負荷：H i Z 2 および定電圧源：V b 2 を挿入する。また、P c h 型トランジスタ：MP に対して、MP のゲート電極：G と電源電圧：V D D との間にハイインピーダンス負荷：H i Z 1 および定電圧源：V b 1、ゲート電極：G とグランド電圧：G N D との間にハイインピーダンス負荷：H i Z 2 および定電圧源：V b 2 を挿入する。以上が、本発明の実施形態 5 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0079】以上のようなネットリスト変換を実施することにより、トランジスタのゲート電極が開放状態、もしくは、ハイインピーダンス状態であった場合、N c h 型トランジスタのゲート電極の電位はハイインピーダンス負荷：H i Z 1 と H i Z 2 の分圧効果により、 $(V D D - V b 1) - V b 2 \times H i Z 2 / (H i Z 1 + H i Z 2) + V b 2$ に、同様に P c h 型トランジスタのゲート電極の電位はハイインピーダンス負荷：H i Z 1 と H i Z 2 の分圧効果により、 $(V D D - V b 1) - V b 2 \times H i Z 2 / (H i Z 1 + H i Z 2) + V b 2$ に固定される。この状態で直流信号特性シミュレーションを行うことにより、各トランジスタのゲート電極－ソース電極間電位：V g s が各トランジスタの閾値電圧：V t h を超えた時、各トランジスタのドレイン電極－ソース電極間に電流が流れ、リーク電流を検出することが可能となる。

【0080】なお、定電圧源：V b 1 および定電圧源：V b 2 の電位を 0 とすることで本発明の実施形態 4 と同様の効果を得られる。なお、前記ハイインピーダンス負荷：H i Z 1、H i Z 2 は、それ自身に流れる電流を無視することが出来る程度の高抵抗負荷であっても同様の効果を得ることが可能である。なお、前記ハイインピーダンス負荷：H i Z 1、H i Z 2 は、容量性負荷であっても同様の効果を得ることが可能である。なお、定電圧源：V b 1 とハイインピーダンス負荷：H i Z 1、およびの定電圧源：V b 2 とハイインピーダンス負荷：H i Z 2 の接続順は図 5 に示す限りでなく、その接続順は逆でも同様の効果を得ることが可能である。

【0081】（実施の形態 6）図 6 は本発明の実施形態 6 に関するネットリスト変換装置によるネットリスト変換実施構成図である。図 6（a）は実施形態 6 に関するネットリスト変換装置に基づくインバータ回路 1 に対するネットリスト変換実施構成図を示している。図 6

(b) はインバータ回路 1 を代表的な実回路として示したものである。

【0082】本発明の実施形態 6 に関するネットリスト変換装置においては、インバータ回路 1 に対して、インバータ回路 1 の入力端子：IN と電源電圧：VDD との間にハイインピーダンス負荷：HiZ1、インバータ回路 1 の入力端子：IN とグランド電圧：GND との間にハイインピーダンス負荷：HiZ2 を挿入する。図 6

(b) を用いてさらに詳細に説明すると、インバータ回路 1 は Nch 型トランジスタ：MN のソース電極：nS とグランド電圧：GND とが接続され、MN のドレイン電極：nD と Pch 型トランジスタ：MP のドレイン電極：pD とが接続されこれがインバータ回路 1 の出力端子：OUT となり、MP のソース電極：pS と電源電圧：VDD とが接続され、MN のゲート電極：nG と MP のゲート電極：pG とが接続されこれがインバータ回路 1 の入力端子：IN となる。インバータ回路 1 の入力端子：IN と電源電圧：VDD との間にハイインピーダンス負荷：HiZ1、インバータ回路 1 の入力端子：IN とグランド電圧：GND との間にハイインピーダンス負荷：HiZ2 を挿入する。以上が、本発明の実施形態 6 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0083】以上のようなネットリスト変換を実施することにより、インバータ回路 1 の入力端子が開放状態、もしくは、ハイインピーダンス状態であった場合、インバータ回路 1 の入力端子：IN の電位はハイインピーダンス負荷：HiZ1 と HiZ2 の分圧効果により、 $VDD \times HiZ2 / (HiZ1 + HiZ2)$ に固定される。例えば、 $HiZ1 = HiZ2$ とした時、インバータ回路 1 の入力端子：IN の電位は、電源電圧：VDD とグランド電圧：GND 間との中間電位となる。この時、MN および MP は同時に ON 状態となる。

【0084】この状態で直流信号特性シミュレーションを行うことにより、インバータ回路 1 に貫通電流が流れ、リーク電流を検出することが可能となる（図 13 (c) 参照）。

【0085】なお、NOR 回路、NAND 回路にも同様の効果を得ることが可能である。図 7 (a) は実施形態 6 に関するネットリスト変換装置に基づく NOR 回路 3 に対するネットリスト変換実施構成図を示している。図 7 (b) は NOR 回路 3 を代表的な実回路として示したものである。

【0086】本発明の実施形態 6 に関するネットリスト変換装置においては、NOR 回路 3 に対して、NOR 回路 3 の入力端子：A および B と電源電圧：VDD との間にそれぞれハイインピーダンス負荷：HiZ1、NOR 回路 3 の入力端子：A および B とグランド電圧：GND との間にそれぞれハイインピーダンス負荷：HiZ2 を挿入する。図 7 (b) を用いてさらに詳細に説明する

と、NOR 回路 3 は Nch 型トランジスタ：MNa、MNb のソース電極：naS、nbS とグランド電圧：GND とが接続され、MNa、MNb のドレイン電極：naD、nbD と Pch 型トランジスタ：MPb のドレイン電極：pbD とが接続されこれが NOR 回路 3 の出力端子：OUT となり、Pch 型トランジスタ：MPa のソース電極：paS と電源電圧：VDD とが接続され、MPa のドレイン電極：paD と MPb のソース電極：pbS とが接続され、MPa のゲート電極：paG と MNa のゲート電極：naG とが接続されこれが NOR 回路 3 の一入力端子：A となり、MPb のゲート電極：pbG と MNb のゲート電極：nbG とが接続されこれが NOR 回路 3 の一入力端子：B となり、NOR 回路 3 の入力端子：A および B と電源電圧：VDD との間にそれぞれハイインピーダンス負荷：HiZ1、NOR 回路 3 の入力端子：A および B とグランド電圧：GND との間にそれぞれハイインピーダンス負荷：HiZ2 を挿入する。以上が、本発明の実施形態 6 に関するネットリスト変換装置のネットリスト変換実施構成である。

【0087】以上のようなネットリスト変換を実施することにより、NOR 回路 3 の一入力端子が (Low) に固定され、残りの一入力端子が開放状態、もしくは、ハイインピーダンス状態であった場合、あるいは、NOR 回路 3 の両入力端子が開放状態、もしくは、ハイインピーダンス状態であった場合、開放状態、もしくは、ハイインピーダンス状態である入力端子の電位はハイインピーダンス負荷：HiZ1 と HiZ2 の分圧効果により、 $VDD \times HiZ2 / (HiZ1 + HiZ2)$ に固定される。例えば、 $HiZ1 = HiZ2$ とした時、入力端子の電位は、電源電圧：VDD とグランド電圧：GND 間との中間電位となる。この時、MPa および MPb および MNa、もしくは、MPa および MPb および MNb、もしくは、MPa および MPb および MNa および MNb が同時に ON 状態となる。

【0088】この状態で直流信号特性シミュレーションを行うことにより、NOR 回路 3 に貫通電流が流れ、リーク電流を検出することが可能となる。

【0089】図 8 (a) は実施形態 6 に関するネットリスト変換装置に基づく NAND 回路 4 に対するネットリスト変換実施構成図を示している。図 8 (b) は NAND 回路 4 を代表的な実回路として示したものである。

【0090】本発明の実施形態 6 に関するネットリスト変換装置においては、NAND 回路 4 に対して、NAND 回路 4 の入力端子：A および B と電源電圧：VDD との間にそれぞれハイインピーダンス負荷：HiZ1、NAND 回路 4 の入力端子：A および B とグランド電圧：GND との間にそれぞれハイインピーダンス負荷：HiZ2 を挿入する。図 8 (b) を用いてさらに詳細に説明すると、NAND 回路 4 は Pch 型トランジスタ：MPa、MPb のソース電極：paS、pbS と電源電圧：

VDDとが接続され、MP a、MP bのドレイン電極：p a D、p b DとN c h型トランジスタ：MN aのドレイン電極：n a Dとが接続されこれがNAND回路4の出力端子：OUTとなり、N c h型トランジスタ：MN bのソース電極：n b Sとグラウンド電圧：GNDとが接続され、MN bのドレイン電極：n b DとMN aのソース電極：n a Sとが接続され、MP aのゲート電極：p a GとMN aのゲート電極：n a Gとが接続されこれがNAND回路4の一入力端子：Aとなり、MP bのゲート電極：p b GとMN bのゲート電極：n b Gとが接続されこれがNAND回路4の一入力端子：Bとなり、NAND回路4の入力端子：AおよびBと電源電圧：VDDとの間にそれぞれハイインピーダンス負荷：H i Z 1、NAND回路4の入力端子：AおよびBとグラウンド電圧：GNDとの間にそれぞれハイインピーダンス負荷：H i Z 2を挿入する。以上が、本発明の実施形態6に関するネットリスト変換装置のネットリスト変換実施構成である。

【0091】以上のようなネットリスト変換を実施することにより、NAND回路4の一入力端子が（H i g h）に固定され、残りの一入力端子が開放状態、もしくは、ハイインピーダンス状態であった場合、あるいは、NAND回路4の両入力端子が開放状態、もしくは、ハイインピーダンス状態であった場合、開放状態、もしくは、ハイインピーダンス状態である入力端子の電位はハイインピーダンス負荷：H i Z 1とH i Z 2の分圧効果により、 $VDD \times H i Z 2 / (H i Z 1 + H i Z 2)$ に固定される。例えば、H i Z 1 = H i Z 2とした時、入力端子の電位は、電源電圧：VDDとグラウンド電圧：GND間との中間電位となる。この時、MN aおよびMN bおよびMP a、もしくは、MN aおよびMN bおよびMP b、もしくは、MN aおよびMN bおよびMP aおよびMP bが同時にON状態となる。

【0092】この状態で直流信号特性シミュレーションを行うことにより、NAND回路4に貫通電流が流れ、リーク電流を検出することが可能となる。

【0093】なお、前記ハイインピーダンス負荷：H i Z 1、H i Z 2は、それ自身に流れる電流を無視することが出来る程度の高抵抗負荷であっても同様の効果を得ることが可能である。なお、前記ハイインピーダンス負荷：H i Z 1、H i Z 2は、容量性負荷であっても同様の効果を得ることが可能である。

【0094】なお、他の論理回路、フリップフロップ回路等においても同様の効果を得ることが可能である。

【0095】（実施の形態7）図9は本発明の実施形態7に関するネットリスト変換装置によるネットリスト変換実施構成図である。図9（a）は実施形態7に関するネットリスト変換装置に基づくスイッチ回路21に対するネットリスト変換実施構成図を示している。図9

（b）はスイッチ回路21を代表的な実回路として示し

たものである。

【0096】本発明の実施形態7に関するネットリスト変換装置においては、スイッチ回路21に対して、スイッチ回路21の開閉制御端子：S、と電源電圧：VDDとの間にハイインピーダンス負荷：H i Z 1、スイッチ回路21の開閉制御端子：S、とグラウンド電圧：GNDとの間にハイインピーダンス負荷：H i Z 2を挿入する。図9（b）を用いてさらに詳細に説明すると、スイッチ回路21はN c h型トランジスタ：MNのソース電極とP c h型トランジスタ：MPのソース電極とが接続されこれがスイッチ回路21の一入出力端子Aとなり、MNのドレイン電極とMPのドレイン電極とが接続されこれがスイッチ回路21の残りの一入出力端子Bとなり、MNのゲート電極が開閉制御端子：S、MPのゲート電極が開閉制御端子：S、と電源電圧：VDDとの間にハイインピーダンス負荷：H i Z 1、スイッチ回路21の開閉制御端子：S、とグラウンド電圧：GNDとの間にハイインピーダンス負荷：H i Z 2を挿入する。

【0097】以上が、本発明の実施形態7に関するネットリスト変換装置のネットリスト変換実施構成である。

【0098】以上のようなネットリスト変換を実施することにより、スイッチ回路21の開閉制御端子：S、あるいは、開閉制御端子：、あるいは、Sおよびが開放状態、もしくは、ハイインピーダンス状態であった場合、スイッチ回路21の開閉制御端子：S、あるいは、開閉制御端子：、あるいは、Sおよびの電位はハイインピーダンス負荷：H i Z 1とH i Z 2の分圧効果により、 $VDD \times H i Z 2 / (H i Z 1 + H i Z 2)$ に固定される。例えば、H i Z 1 = H i Z 2とした時、開放状態、もしくは、ハイインピーダンス状態である開閉制御端子の電位は、電源電圧：VDDとグラウンド電圧：GND間との中間電位となる。この時、開放状態、もしくは、ハイインピーダンス状態である開閉制御端子をゲート電極とするトランジスタはON状態となる。

【0099】この状態で直流信号特性シミュレーションを行うことにより、スイッチの開閉制御端子：S、あるいは、開閉制御端子：、あるいは、Sおよびが開放状態、もしくは、ハイインピーダンス状態であった場合、スイッチ回路21がON状態となり、リーク電流を検出することが可能となる。

【0100】なお、本例ではCMOSスイッチ回路の場合を例に挙げたが、N c h型トランジスタのみのスイッチ回路、あるいはP c h型トランジスタのみのスイッチ回路等においても、同様にしてリーク電流を検出することが出来る。

【0101】図10（a）は実施形態7に関するネットリスト変換装置に基づくN c h型トランジスタのみで構成されるスイッチ回路22に対するネットリスト変換実施構成図を示している。図10（b）はスイッチ回路2

2を代表的な実回路として示したものである。

【0102】本発明の実施形態7に関するネットリスト変換装置においては、スイッチ回路22に対して、スイッチ回路22の開閉制御端子：Sと電源電圧：VDDとの間にハイインピーダンス負荷：HiZ1、スイッチ回路22の開閉制御端子：Sとグランド電圧：GNDとの間にハイインピーダンス負荷：HiZ2を挿入する。図10(b)を用いてさらに詳細に説明すると、スイッチ回路22はNch型トランジスタ：MNのソース電極がスイッチ回路22の一入出力端子Aとなり、MNのドレイン電極がスイッチ回路22の残りの一入出力端子Bとなり、MNのゲート電極が開閉制御端子：Sとなり、スイッチ回路22の開閉制御端子：Sと電源電圧：VDDとの間にハイインピーダンス負荷：HiZ1、スイッチ回路22の開閉制御端子：Sとグランド電圧：GNDとの間にハイインピーダンス負荷：HiZ2を挿入する。以上が、本発明の実施形態7に関するネットリスト変換装置のネットリスト変換実施構成である。

【0103】以上のようなネットリスト変換を実施することにより、スイッチ回路22の開閉制御端子：Sが開放状態、もしくは、ハイインピーダンス状態であった場合、スイッチ回路22の開閉制御端子：Sの電位はハイインピーダンス負荷：HiZ1とHiZ2の分圧効果により、 $VDD \times HiZ2 / (HiZ1 + HiZ2)$ に固定される。例えば、 $HiZ1 = HiZ2$ とした時、開放状態、もしくは、ハイインピーダンス状態である開閉制御端子の電位は、電源電圧：VDDとグランド電圧：GND間との中間電位となる。この時、スイッチ回路22はON状態となる。

【0104】この状態で直流信号特性シミュレーションを行うことにより、スイッチの開閉制御端子：Sが開放状態、もしくは、ハイインピーダンス状態であった場合、スイッチ回路22がON状態となり、リーク電流を検出することが可能となる。

【0105】図11(a)は実施形態7に関するネットリスト変換装置に基づくPch型トランジスタのみで構成されるスイッチ回路23に対するネットリスト変換実施構成図を示している。図11(b)はスイッチ回路23を代表的な実回路として示したものである。

【0106】本発明の実施形態7に関するネットリスト変換装置においては、スイッチ回路23に対して、スイッチ回路23の開閉制御端子：と電源電圧：VDDとの間にハイインピーダンス負荷：HiZ1、スイッチ回路22の開閉制御端子：とグランド電圧：GNDとの間にハイインピーダンス負荷：HiZ2を挿入する。図11(b)を用いてさらに詳細に説明すると、スイッチ回路23はPch型トランジスタ：MPのソース電極がスイッチ回路23の一入出力端子Aとなり、MPのドレイン電極がスイッチ回路23の残りの一入出力端子Bとなり、MPのゲート電極が開閉制御端子：となり、スイッ

チ回路23の開閉制御端子：と電源電圧：VDDとの間にハイインピーダンス負荷：HiZ1、スイッチ回路23の開閉制御端子：とグランド電圧：GNDとの間にハイインピーダンス負荷：HiZ2を挿入する。以上が、本発明の実施形態7に関するネットリスト変換装置のネットリスト変換実施構成である。

【0107】以上のようなネットリスト変換を実施することにより、スイッチ回路23の開閉制御端子：が開放状態、もしくは、ハイインピーダンス状態であった場合、スイッチ回路23の開閉制御端子：の電位はハイインピーダンス負荷：HiZ1とHiZ2の分圧効果により、 $VDD \times HiZ2 / (HiZ1 + HiZ2)$ に固定される。例えば、 $HiZ1 = HiZ2$ とした時、開放状態、もしくは、ハイインピーダンス状態である開閉制御端子の電位は、電源電圧：VDDとグランド電圧：GND間との中間電位となる。この時、スイッチ回路23はON状態となる。

【0108】この状態で直流信号特性シミュレーションを行うことにより、スイッチの開閉制御端子：が開放状態、もしくは、ハイインピーダンス状態であった場合、スイッチ回路23がON状態となり、リーク電流を検出することが可能となる。

【0109】

【発明の効果】以上のように、本発明のネットリスト変換装置を用いてネットリストに対して変換を施し、直流信号特性シミュレーションを行うことにより、トランジスタのゲート電極・論理ゲート回路の入力端子・スイッチ回路の開閉制御端子等が開放状態もしくは、ハイインピーダンス状態となっている場合においても、リーク電流を検出することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1に関するネットリスト変換装置によるネットリスト変換実施構成図

【図2】本発明の実施形態2に関するネットリスト変換装置によるネットリスト変換実施構成図

【図3】本発明の実施形態3に関するネットリスト変換装置によるネットリスト変換実施構成図

【図4】本発明の実施形態4に関するネットリスト変換装置によるネットリスト変換実施構成図

【図5】本発明の実施形態5に関するネットリスト変換装置によるネットリスト変換実施構成図

【図6】本発明の実施形態6に関するネットリスト変換装置によるインバータ回路に対するネットリスト変換実施構成図

【図7】本発明の実施形態6に関するネットリスト変換装置によるNOR回路に対するネットリスト変換実施構成図

【図8】本発明の実施形態6に関するネットリスト変換装置によるNAND回路に対するネットリスト変換実施構成図

【図 9】本発明の実施形態 7 に関するネットリスト変換装置による CMOS スイッチ回路に対するネットリスト変換実施構成図

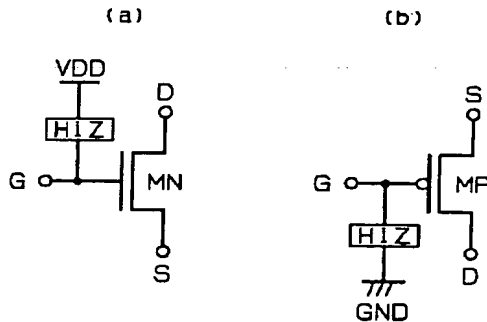
【図 10】本発明の実施形態 7 に関するネットリスト変換装置による N c h 型トランジスタスイッチ回路に対するネットリスト変換実施構成図

【図 11】本発明の実施形態 7 に関するネットリスト変換装置による P c h 型トランジスタスイッチ回路に対するネットリスト変換実施構成図

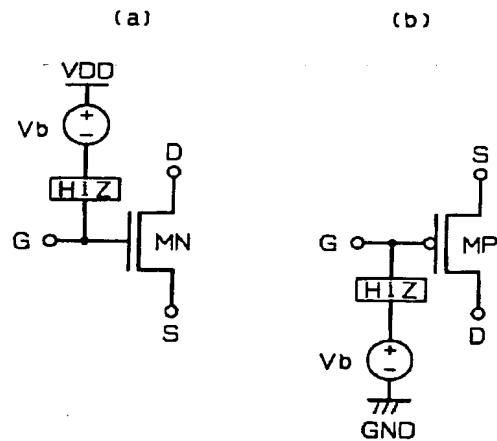
【図 12】従来のシミュレーション・ネットリスト内検索によるリーク電流検出方法を説明する図

【図 13】従来のシミュレーション・ネットリスト内検索によるインバータ回路に関するリーク電流検出方法を説明する図

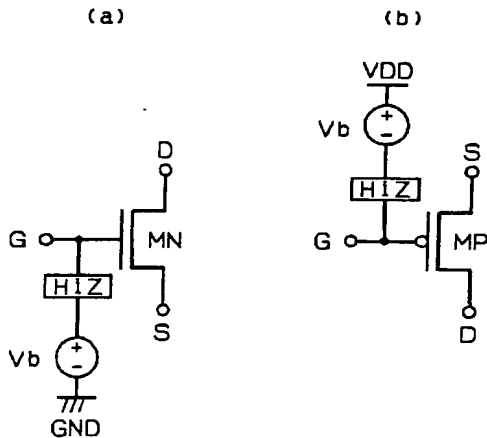
【図 1】



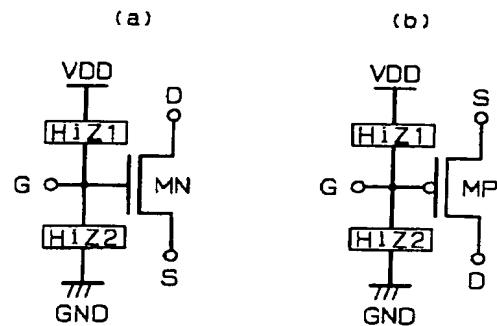
【図 2】



【図 3】



【図 4】



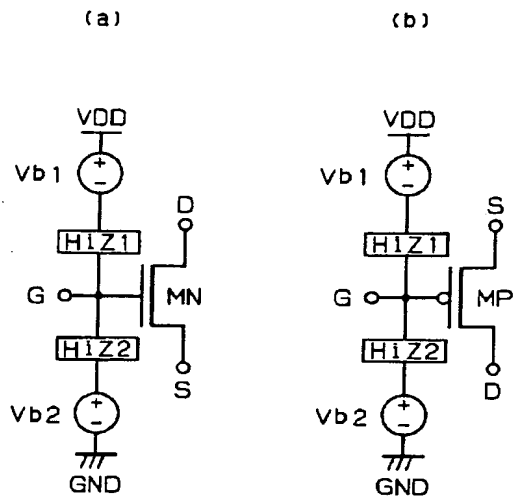
【図 14】従来のシミュレーション・ネットリスト内検索によるスイッチ回路に関するリーク電流検出方法を説明する図

【図 15】従来のシミュレーション・ネットリスト内検索によるリーク電流検出方法の問題点を説明する図

【符号の説明】

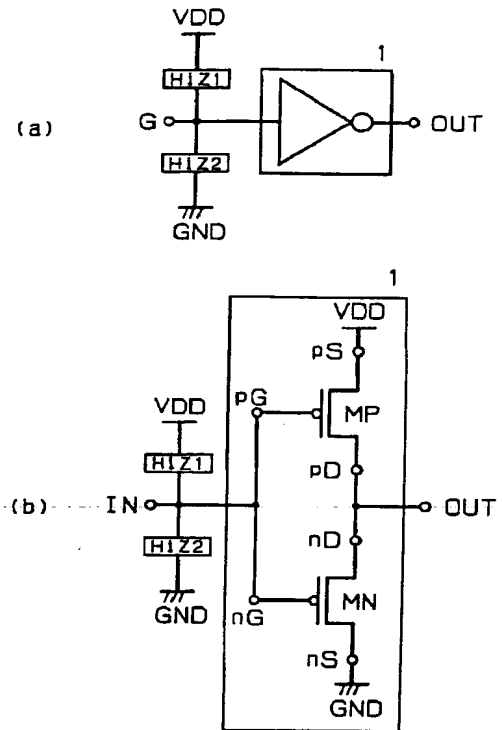
- 1 インバータ回路
- 2 スイッチ回路
- 3 NOR回路
- 4 NAND回路
- 21 CMOS スイッチ回路
- 22 N c h 型トランジスタスイッチ回路
- 23 P c h 型トランジスタスイッチ回路

【図 5】



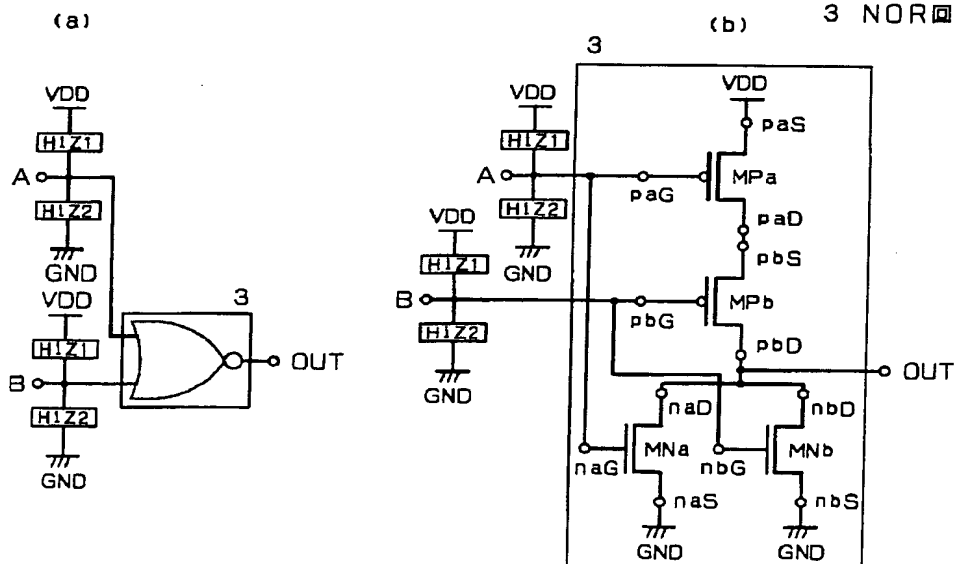
【図 6】

1 インバータ回路

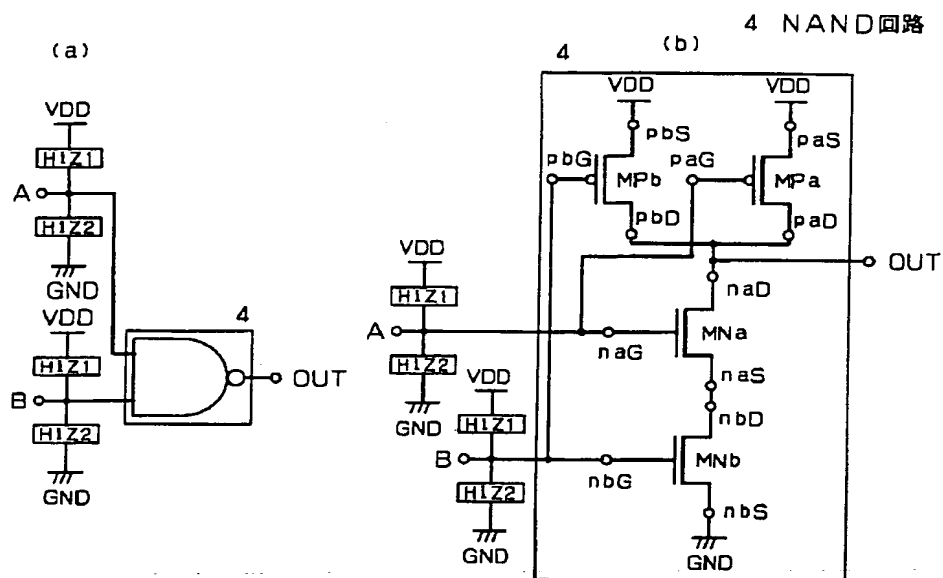


【図 7】

3 NOR回路

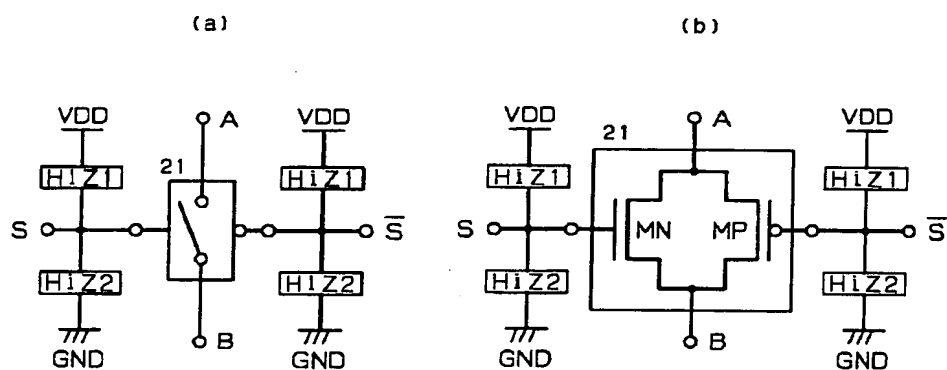


【図8】



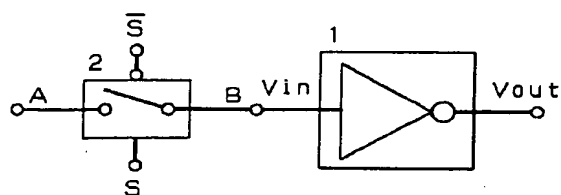
【図9】

21 CMOSスイッチ回路



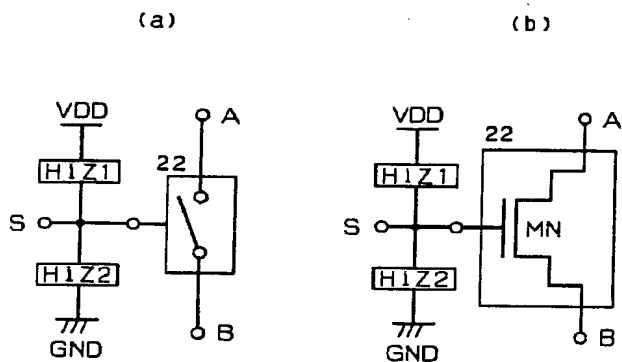
【図15】

- 1 インバータ回路
- 2 スイッチ回路



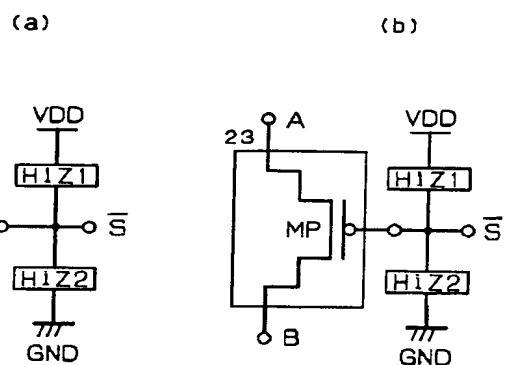
【図 10】

22 Nch型トランジスタスイッチ回路

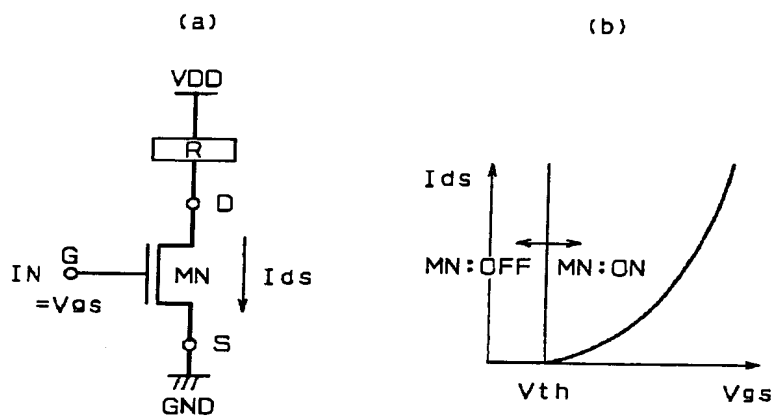


【図 11】

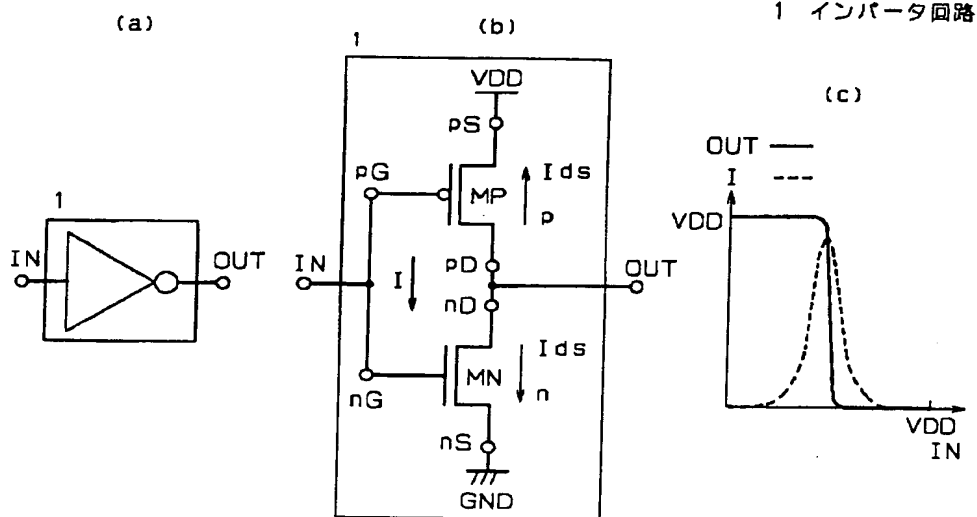
23 Pch型トランジスタスイッチ回路



【図 12】

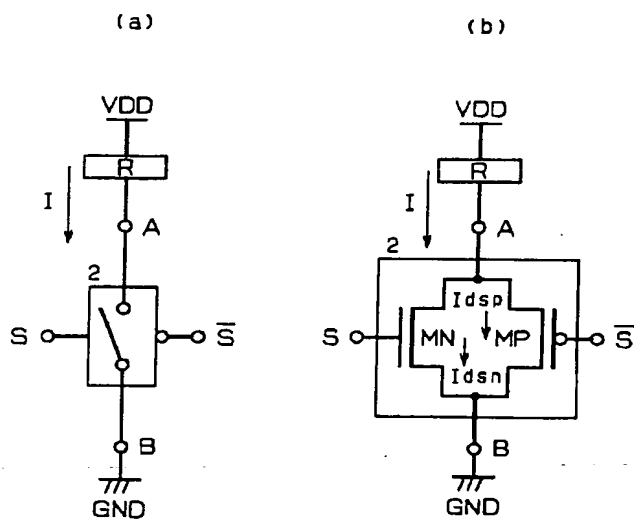


【図 13】



【図 14】

2 スイッチ回路



フロントページの続き

(72)発明者 岡 浩二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5B046 AA08 BA03 JA04

5F064 BB05 BB06 BB07 BB35 BB37

CC09 CC12 HH06 HH09 HH10